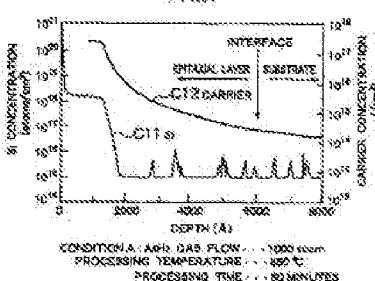


SURFACE TREATING METHOD AND SEMICONDUCTOR DEVICE**Publication number:** JP2000124138 (A)**Publication date:** 2000-04-28**Inventor(s):** SAKAMOTO RYO; TOBA RYUICHI; IKEDA HIROYUKI**Applicant(s):** DOWA MINING CO**Classification:****- international:** H01L21/302; H01L21/205; H01L21/306; H01L21/3065;
H01L21/02; (IPC1-7): H01L21/205; H01L21/3065**- European:** H01L21/02F2B; H01L21/205C**Application number:** JP19980292391 19981014**Priority number(s):** JP19980292391 19981014**Also published as:** EP0994504 (A2) EP0994504 (A3) US6336970 (B1)**Abstract of JP 2000124138 (A)**

PROBLEM TO BE SOLVED: To simply avoid accumulating carriers, without causing the contamination, etc., of a substrate surface or an underlying layer surface by the thermal cleaning treatment using hydroxide gas of a specified element to remove Si or Si compound existing on the substrate surface or the underlying layer surface. **SOLUTION:** Si or Si compound existing on the substrate surface or the underlying layer surface is removed by the thermal cleaning treatment using As hydroxide gas as a cleaning gas. Si or Si compound existing on the substrate surface or the base film surface is removed as hydroxides by the reduction reaction with free hydrogen dissociated from the As hydroxide gas. Thus Si or Si compound can be removed, without complicating a semiconductor manufacturing apparatus structure and causing the surface morphology deterioration, resulting in that the carrier accumulation due to the action of Si as a donor can be avoided.

FIG.1Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-124138

(P2000-124138A)

(43)公開日 平成12年4月28日 (2000.4.28)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 01 L 21/205		H 01 L 21/205	5 F 0 0 4
21/3065		21/302	N 5 F 0 4 5

審査請求 未請求 請求項の数4 O.L (全 9 頁)

(21)出願番号 特願平10-292391	(71)出願人 同和鉱業株式会社 東京都千代田区丸の内1丁目8番2号
(22)出願日 平成10年10月14日 (1998.10.14)	(72)発明者 坂本 陵 東京都千代田区丸の内1丁目8番2号 同 和鉱業株式会社内
	(72)発明者 鳥羽 隆一 東京都千代田区丸の内1丁目8番2号 同 和鉱業株式会社内
	(74)代理人 100091362 弁理士 阿仁屋 節雄 (外2名)
	最終頁に統く

(54)【発明の名称】 表面処理方法および半導体装置

(57)【要約】

【課題】 半導体製造装置の構成の複雑化等を招くことなく、Siがドナーとして作用することによるキャリアの蓄積を防止することができるようとする。

【解決手段】 基板の表面または下地膜の表面にエピタキシャル層を形成する場合、基板の表面または下地膜の表面に存在するSiまたはSi化合物を、クリーニング用のガスとしてAsの水素化ガスを用いたサーマルクリーニング処理によって除去する。

【特許請求の範囲】

【請求項1】 Asを含むIII-V族化合物半導体からなる基板の表面、または、この基板表面に形成された下地膜であってAsを含むIII-V族化合物の単結晶膜からなる下地膜の表面に、MOCVD法を用いたエピタキシャル成長によってIII-V族化合物の単結晶膜を形成する際に、予め前記基板表面または前記下地膜の表面に存在するSiまたはSi化合物を除去する表面処理方法であって、

クリーニング用のガスとしてAsの水素化物ガスを用いたサーマルクリーニング処理によって、前記基板表面または前記下地膜の表面に存在するSiまたはSi化合物を除去することを特徴とする表面処理方法。

【請求項2】 前記Asの水素化物ガス供給量が、前記基板表面または前記下地膜の表面に存在するSiまたはSi化合物を完全に除去可能な量に設定されていることを特徴とする請求項1記載の表面処理方法。

【請求項3】 前記Asの水素化物ガスがAsH₃であることを特徴とする請求項1または2記載の表面処理方法。

【請求項4】 Asを含むIII-V族化合物半導体からなる基板の表面、又は、この基板表面に形成された下地膜であってAsを含むIII-V族化合物の単結晶膜からなる下地膜の表面に、MOCVD法を用いたエピタキシャル成長によってIII-V族化合物の1または2以上の単結晶膜を形成してなる半導体装置であって、前記III-V族化合物の1または2以上の単結晶膜は、前記基板表面又は前記下地膜の表面に存在するSiまたはSi化合物が、請求項1ないし3のいずれかに記載の表面処理方法によって除去されてから形成されたものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Asを含むIII-V族化合物半導体からなる基板の表面、または、この基板表面に形成された下地膜であってAsを含むIII-V族化合物の単結晶膜からなる下地膜の表面に、MOCVD (Metal Organics Chemical VaporDeposition) 法を用いたエピタキシャル成長によってIII-V族化合物の単結晶膜を形成する際に、予め基板表面または下地膜の表面に存在するSiまたはSi化合物を除去する表面処理方法に関する。

【0002】また、本発明は、Asを含むIII-V族化合物半導体からなる基板の表面、または、この基板表面に形成された下地膜であってAsを含むIII-V族化合物の単結晶膜からなる下地膜の表面に、MOCVD法を用いたエピタキシャル成長によってIII-V族化合物の1または2以上の単結晶膜を形成してなる半導体装置に関する。

【0003】

【従来の技術】MESFET (Metal Semiconductor Field Effect Transistor) やHEMT (High Electron Mobility Transistor) 等の半導体装置においては、半導体として、III族の元素とV族の元素とを含むIII-V族化合物半導体が用いられることがある。このIII-V族化合物半導体としては、例えば、Ga (ガリウム) とAs (アス) (ひ素) とを含むGaAs半導体が用いられる。

【0004】GaAs半導体からなる半導体装置は、通常、GaAs半導体からなる基板と、この基板上に順次重なるように形成された1つまたは複数の単結晶膜とを有する。この場合、単結晶膜は、例えば、MOCVD法を使ったエピタキシャル成長によって形成される。以下、この単結晶膜をエピタキシャル層という。

【0005】上述したような半導体装置においては、通常、基板とエピタキシャル層との界面や2つの隣接する再成長エピタキシャル層の界面に、Si (シリコン) またはSi化合物が存在する。これらが存在すると、この界面でSiがドナーとして作用し、キャリアの蓄積が発生する。このキャリアの蓄積が発生すると、リーク電流などが発生する。これにより、半導体装置の特性が悪化する。したがって、上述したような半導体装置においては、Siがドナーとして作用することによるキャリアの蓄積を防止する必要がある。

【0006】Siがドナーとして作用することによるキャリアの蓄積を防止する方法としては、エピタキシャル層を形成する場合、予め基板の表面または下地膜 (基板表面に形成されたエピタキシャル層) の表面に所定の処理を施すことにより防止する表面処理方法がある。この表面処理方法としては、従来、次のような4つの方法を考えられていた。

【0007】(1) 第1の方法は、下記の文献1に記載されるように、酸またはアルカリを用いたウェットエッチング処理により、基板の表面または下地膜の表面に存在するSiまたはSi化合物を除去することにより、Siがドナーとして作用することによるキャリアの蓄積を防止しようとするものである。

文献1: J. Crystal Growth 91 (1988) 632
H. Kanber et al.

【0008】(2) 第2の方法は、下記の文献2に記載されるように、ハロゲン系ガスを用いたガスエッティング処理によって、基板の表面または下地膜の表面に存在するSiまたはSi化合物を除去する方法である。

文献2: 特開平5-175150号公報

【0009】(3) 第3の方法は、下記の文献3, 4に記載されるように、UV (紫外線) オゾン処理によって基板の表面または下地膜の表面に酸化膜を形成することにより、SiまたはSi化合物を安定な酸化物とし、これらが界面に取り込まれても電気的に不活性にする方法

である。

文献3：特開平9-320967号公報

文献4：J. Crystal Growth 133
(1993) 121

S. Izumi et al.

【0010】(4) 第4の方法は、下記の文献5に記載されるように、メトキシ基を含む有機金属によって基板の表面または下地膜の表面に酸素を供給することにより、第3の方法と類似した効果により、界面に取り込まれたSiまたはSi化合物を酸化させて電気的に不活性化する方法である。

文献3：特開平10-12553

【0011】

【発明が解決しようとする課題】しかしながら、第1の方法では、エッチングによりSiまたはSi化合物を除去することができるものの、リノス、乾燥、チャンバへの投入等の後工程において、基板の表面または下地膜の表面が大気にさらされるため、再度、基板の表面または下地膜の表面がSiまたはSi化合物によって汚染される。この汚染を回避するには、エッチング以降の工程をSiまたはSi化合物の存在しない雰囲気で処理する必要があり、半導体製造装置の構成が著しく複雑になるという問題があった。

【0012】すなわち、半導体工業で使用されているクリーンルームやクリーンベンチでは、大気中の塵埃をフィルタで除去している。しかし、このようにしたとしても、地殻中のクラーク数の高いSiまたはSi化合物は、容易に基板の表面に到達してしまう。また、フィルタは、ポロシリケートガラスで構成されている。このため、フィルタ構成材そのものの汚染を回避することもきわめて困難である。したがって、この方法では、再現性よく、界面のキャリア蓄積現象を抑制することが困難であった。

【0013】また、第2の方法では、表面処理用（ガスエッチング用）のハロゲン系ガス等の導入によって基板の表面または下地膜の表面が汚染されるという問題があった。また、この方法では、ガスエッチング処理によって基板の表面または下地膜の表面が荒れ、この基板の表面または下地膜の表面に形成されるエピタキシャル層の表面モフォロジーが悪化するという問題があった。さらに、この方法では、表面処理専用（ガスエッチング専用）のガスを供給するラインを新たに設置しなければならないため、半導体製造装置の構成が複雑になるという問題があった。

【0014】さらに、第3の方法では、SiまたはSi化合物の不活性化に活用される酸素の量の制御が難しく、しかも基板の表面または下地膜の表面の酸化に伴って、その上に形成されるエピタキシャル層の表面モフォロジーが悪化するという問題があった。

【0015】さらにまた、第4の方法では、第2の方法

と同様に、表面処理用（不活性化用）の有機金属ガス等によって基板の表面または下地膜の表面が汚染されるという問題があった。また、この方法では、第2の方法と同様に、表面処理専用（不活性化専用）のガスを供給するためのラインを新たに設置しなければならぬため、半導体製造装置の構成が複雑になるという問題があった。

【0016】そこで、本発明は、半導体製造装置の構成の複雑化と、基板の表面または下地膜の表面の汚染と、表面モフォロジーの悪化とを招くことなく、基板・エピタキシャル界面またはエピタキシャル再成長界面におけるキャリアの蓄積を防止することができる表面処理方法を提供することを目的とする。

【0017】また、本発明は、キャリアの蓄積の原因となるSiを界面から除去することにより、キャリアの蓄積がなく、かつ、半導体製造装置の構成の複雑化と、基板の表面または下地膜の表面の汚染と、表面モフォロジーの悪化もない半導体装置を提供することを目的とする。

【0018】

【課題を解決するための手段】上記課題を解決するために請求項1記載の表面処理方法では、Asを含むIII-V族化合物半導体からなる基板の表面、または、この基板表面に形成された下地膜であってAsを含むIII-V族化合物のエピタキシャル層からなる下地膜の表面に、MOCVD法を用いたエピタキシャル成長によってIII-V族化合物のエピタキシャル層を形成する際に、予め基板表面または下地膜の表面に存在するSiまたはSi化合物を除去する表面処理方法であって、クリーニング用のガスとしてAsの水素化物ガスを用いたサーマルクリーニング処理によって、基板表面または下地膜の表面に存在するSiまたはSi化合物を除去することを特徴とする。

【0019】この請求項1記載の表面処理方法では、Asの水素化物ガスから解離した遊離H（遊離水素）による還元反応等によって、基板の表面または下地膜の表面に存在するSiまたはSi化合物が水素化物として除去される。これにより、半導体製造装置の構成の複雑化と、基板表面または下地膜の表面の汚染と、表面モフォロジーの悪化とを招くことなく、SiまたはSi化合物を除去することができる。その結果、半導体製造装置の構成の複雑化等を招くことなく、Siがドナーとして作用することによるキャリアの蓄積を防止することができる。

【0020】請求項2記載の表面処理方法は、請求項1記載の方法において、Asの水素化物ガス供給量が、基板表面または下地膜の表面に存在するSiまたはSi化合物を完全に除去可能な供給量に設定されていることを特徴とする。

【0021】この請求項2記載の表面処理方法では、基

板の表面または下地膜の表面に存在するSiまたはSi化合物を完全に除去することができる。これにより、Siがドナーとして作用することによるキャリアの蓄積を完全に防止することができる。

【0022】請求項3記載の表面処理方法は、請求項1または2記載の方法において、Asの水素化物ガスがAsH₃であることを特徴とする。

【0023】請求項4記載の半導体装置は、Asを含むIII-V族化合物半導体からなる基板の表面、または、この基板表面に形成された下地膜であってAsを含むIII-V族化合物のエピタキシャル層からなる下地膜の表面に、MOCVD法を用いたエピタキシャル成長によってIII-V族化合物の1または2以上のエピタキシャル層を形成してなる半導体装置であって、III-V族化合物の1または2以上のエピタキシャルは、基板表面または下地膜の表面に存在するSi又はSi化合物が、請求項1ないし3のいずれかに記載の表面処理方法によって除去されてから形成されたものであることを特徴とする。

【0024】この請求項4記載の半導体装置では、基板の表面または下地膜の表面に存在するSiまたはSi化合物が、クリーニングガスとしてAsの水素化物ガスを用いたサーマルクリーニング処理によって除去される。これにより、Siがドナーとして作用することによるキャリアの蓄積もなく、かつ、半導体製造装置の構成の複雑化と、基板の表面または下地膜の表面の汚染と、表面モフォロジーの悪化もない半導体装置を提供することができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を詳細に説明する。

【0026】[1]一実施の形態

[1-1]構成

本実施の形態は、例えば、GaAs半導体からなるアンドープ半絶縁性基板の表面、または、この基板表面に形成された下地膜であって、例えば、GaAs化合物のエピタキシャル層からなる下地膜の表面に、MOCVD法を用いたエピタキシャル成長によって、例えば、GaAs化合物からなるエピタキシャル層を形成する場合、予め、クリーニングガスとしてAsH₃ガスを用いたサーマルクリーニング処理によって、基板の表面または下地膜の表面に存在するSiまたはSi化合物を除去するようにしたものである。

【0027】すなわち、従来、GaAs半導体からなる半導体装置においては、MOCVD法を用いたエピタキシャル成長によってエピタキシャル層を形成する場合、予め、サーマルクリーニング処理によって基板の表面または下地膜の表面に存在する不純物を除去することがあった。

【0028】しかしながら、このサーマルクリーニング

処理を用いた従来の表面処理では、下地の表面に存在する自然酸化膜や有機不純物を除去することを目的としていた。このため、この表面処理を施された半導体装置では、基板とエピタキシャル層との界面または隣接する2つの再成長エピタキシャル層の界面に存在する酸素の量と不純物の量を測定してみると、酸素の量および有機物の量に起因するものと見られる炭素の量は減少するものの、Si等の他の不純物の量は減少しないことが判明した。また、CV(Capacitance Voltage)法により界面におけるキャリアの濃度を測定してみると、界面にキャリアの蓄積が見られた。

【0029】このとき、キャリアの濃度とSiの濃度との間に相関関係があることが判明した。このことから、界面のキャリアの蓄積は、界面に存在するSiまたはSi化合物に原因があると考えられた。このSiまたはSi化合物を除去するために、クリーニング用のAsH₃ガスの供給量を多くしてみた。その結果、AsH₃ガスから解離した遊離Hによる還元反応等によって、基板の表面または下地膜の表面に存在するSiまたはSi化合物が水素化物となって除去されることが判明した。

【0030】そこで、本実施の形態では、サーマルクリーニング時に、AsH₃を自然酸化膜や有機不純物を除去する場合より多く供給することにより、自然酸化膜や有機不純物だけでなく、SiまたはSi化合物も除去するようにしたものである。

【0031】このような構成によれば、形成されたエピタキシャル層の表面モフォロジーを悪化させることなく、基板の表面または下地膜の表面に存在する酸素やSiまたはSi化合物を除去することができ、界面にキャリアの蓄積がない滑らかなCVプロフィルを得ることができることがわかった。

【0032】なお、AsH₃ガスの供給量としては、例えば、SiまたはSi化合物を完全に除去可能な供給量が設定されている。このAsH₃ガス供給量は、装置の状態や基板の表面または下地膜の表面の状態等によって異なるので特定されない。したがって、このような供給量を設定する場合は、エピタキシャル層を形成した後の界面の状態を分析し、この分析結果に基づいて最適化するのが好ましい。

【0033】また、表面処理を行う場合の処理温度としては、300°C以上の温度が設定されている。これは、AsH₃が完全に解離するようにするためである。一般的は、500°C~850°Cの範囲で設定される。

【0034】さらに、表面処理を行う場合の処理圧力としては、常圧以下の圧力が設定されている。

【0035】なお、AsH₃ガスを反応室に供給する場合は、単体で供給するようにしてもよいし、キャリアガスで希釈しながら供給するようにしてもよい。この場合、使用可能なキャリアガスは、特に限定されないが、

一般的には、H₂ガスやArガス等の不活性ガスが用いられる。

【0036】[1-2]動作

上記構成において、動作を説明する。基板の表面または下地膜の表面に存在するSiやSi化合物を除去する場合、基板が収容された反応室にAsH₃ガスが供給される。これにより、基板の表面または下地膜の表面に存在する不純物が、AsH₃ガスから解離した遊離Hガスによる還元反応等によって、水素化物として除去される。

【0037】この場合、AsH₃ガスは、少なくとも基板の表面または下地膜の表面に存在するSiまたはSi化合物を完全に除去可能な量だけ供給される。これにより、基板の表面または下地膜の表面に存在する自然酸化膜や有機不純物だけでなく、SiまたはSi化合物も完全に除去される。

【0038】[1-3]効果

以上詳述した本実施の形態によれば、次のような効果を得ることができる。

【0039】(1)まず、本実施の形態によれば、基板の表面または下地膜の表面に存在するSiまたはSi化合物を除去する場合、サーマルクリーニング処理によって除去される。これにより、半導体製造装置の構成の複雑化と、基板の表面または下地膜の表面の汚染と、表面モフォロジーの悪化とを招くことなく、SiまたはSi化合物を除去することができる。その結果、半導体製造装置の構成の複雑化等を招くことなく、Siがドナーとして作用することによるキャリアの蓄積を防止することができる。

【0040】(2)また、本実施の形態によれば、サーマルクリーニング用のAsH₃ガスの供給量が、SiまたはSi化合物を完全に除去可能な供給量に設定されている。これにより、SiまたはSi化合物を完全に除去することができる。その結果、Siがドナーとして作用することによるキャリアの蓄積を完全に防止することができる。

【0041】(3)さらに、本実施の形態によれば、表面処理を実行する場合の処理温度として、300°C以上の温度が設定されている。これにより、AsH₃ガスを完全に解離することができる。その結果、SiまたはSi化合物の除去効率を高めることができる。

【0042】(4)さらにまた、本実施の形態によれば、表面処理を実行する場合の処理圧力として、常圧以下の圧力が設定され、常に、ガスの供給と排気とがなされている。これにより、表面処理中に反応室からSiの水素化物を除去することができる。

【0043】(5)また、本実施の形態によれば、基板の表面または下地膜の表面に存在するSiまたはSi化合物を除去する場合、サーマルクリーニング処理によって除去される。これにより、基板の表面または下地膜の表面に存在する自然酸化膜または有機不純物の除去とS

iまたはSi化合物の除去と同じ処理で同時にを行うことができる。これにより、エピタキシャル層を形成する前の前処理を簡単化することができる。

【0044】[2]そのほかの実施の形態

以上、本発明の一実施の形態を詳細に説明したが、本発明は、上述したような実施の形態に限定されるものではない。

【0045】(1)例えば、先の実施の形態では、基板として、GaAs半導体からなるアンドープ半絶縁性基板を用いる場合を説明した。しかしながら、本発明は、GaAs半導体以外の半導体であって、Asを含むIII-V族化合物半導体からなる基板を用いるようにしてもよい。

【0046】(2)また、先の実施の形態では、下地膜として、GaAs化合物からなるエピタキシャル層を用いる場合を説明した。しかしながら、本発明は、GaAs化合物以外のAsを含むIII-V族化合物からなるエピタキシャル層を用いるようにしてもよい。例えば、本発明は、Al_xGa_(1-x)As化合物、In_yGa_(1-y)As化合物、Al_x+(In_yGa_(1-y))_{1-(1-x)}P、InGaAsP化合物等からなるエピタキシャル層を用いるようにしてもよい。

【0047】(3)さらにまた、先の実施の形態では、基板の表面または下地膜の表面に形成されるエピタキシャル層として、GaAs化合物からなるエピタキシャル層を用いる場合を説明した。しかしながら、本発明は、GaAs化合物以外のAsを含むIII-V族化合物からなるエピタキシャル層を用いるようにしてもよい。さらには、本発明は、Asを含まないIII-V族化合物からなるエピタキシャル層を用いるようにしてもよい。

【0048】(4)さらにまた、本発明は、MESFET、HEMT以外の半導体装置にも適用することができる。

【0049】(5)この他にも、本発明は、その要旨を逸脱しない範囲で種々様々変形実施可能なことは勿論である。

【0050】

【実施例】ここで、本発明の実施例を比較例と比較しながら説明する。なお、以下で説明する実施例や比較例は、装置の状態や基板の表面または下地膜の表面の状態等が同じ状態で実施された。

【0051】(1)実施例1

本実施例1では、まず、基板の表面にサーマルクリーニング処理による表面処理を施した。この場合、基板としては、GaAs半導体からなるアンドープ半絶縁性基板を用いた。また、クリーニング用のガスとしては、AsH₃ガスを用いた。この場合、AsH₃ガスは、キャリアガスで希釈しながら供給した。このキャリアガスとしては、H₂ガスを用いた。さらに、AsH₃ガスの供給量等の処理条件としては、次の条件Aを用いた。

条件A : AsH₃ガスの流量…1000 sccm

処理温度…850°C

処理時間…60分

【0052】この表面処理が終了すると、アンドープ半絶縁性基板の上に、MOCVD法を用いたエピタキシャル成長によって、エピタキシャル層を形成した。この場合、エピタキシャル層としては、GaAs化合物からなり、不純物を含まない約5000オングストロームのエピタキシャル層（以下「GaAsバッファ層」という。）を形成した。このGaAsバッファ層を形成するための原料としては、TMG（トリメチルガリウム）とAsH₃とを用いた。また、この原料ガスを希釈するためのキャリアガスとしては、H₂ガスを用いた。

【0053】このGaAsバッファ層の形成処理が終了すると、GaAsバッファ層の上に、MOCVD法を用いたエピタキシャル成長によって、連続的にエピタキシャル層を形成した。この場合、このエピタキシャル層としては、GaAs半導体からなり、ドナー型不純物を含む約1500オングストロームのエピタキシャル層（以下「n-GaAs層」という。）を形成した。ここで、nは、約 $3 \times 10^{17} \text{ cm}^{-3}$ である。このn-GaAs層を形成するための原料やキャリアガスとしては、GaAsバッファ層を形成する場合と同じものを用い、ドーパントガスとしては、Si₂H₆（ジシラン）を用いた。

【0054】(2) 実施例2

本実施例2は、表面処理の処理条件を除いて、実施例1と同じである。すなわち、本実施例では、表面処理の処理条件として、次の条件Bを用いた。この条件Bでは、AsH₃ガスの流量が条件Aと同じで、処理温度が条件Aに比べ50°C低く、処理時間が条件Aの12分の1となっている。

条件B : AsH₃ガスの流量…1000 sccm

処理温度…800°C

処理時間…5分

【0055】(3) 実施例3

本実施例3も、表面処理の処理条件を除いて、実施例1と同じである。すなわち、本実施例では、表面処理の処理条件として、次の条件Cを用いた。この条件Cでは、AsH₃ガスの流量が条件Aの10分の1で、処理温度が条件Aと同じで、処理時間が条件Aの12分の1となっている。

条件C : AsH₃ガスの流量…100 sccm

処理温度…850°C

処理時間…5分

【0056】(4) 実施例4

本実施例4も、表面処理の処理条件を除いて、実施例1と同じである。すなわち、本実施例では、表面処理の処理条件として、次の条件Dを用いた。この条件Dでは、AsH₃ガスの流量が条件Aの10分の1で、処理温度が条件Aと比べ50°C低く、処理時間が条件Aの12

分の1となっている。

条件D : AsH₃ガスの流量…100 sccm

処理温度…800°C

処理時間…5分

【0057】(5) 実施例1～4 同士の比較

上述した4つの実施例1～4によって製造された4つの半導体装置について、Si（Si化合物に含まれるSiも含む）の濃度をSIMSで分析するととともに、キャリアの濃度をCV法によって評価した。

【0058】図1～図4は、それぞれ実施例1～4におけるSi濃度の分析結果とキャリア濃度の評価結果を示す特性図である。これらの図において、横軸は、半導体装置の表面（n-GaAs層の表面）からの深さ（オングストローム）を示し、左側の縦軸は、Si濃度（at cm^{-3} ）を示し、右側の縦軸は、キャリア濃度（/cm³）を示す。また、特性曲線C11は、Si濃度の分析結果を示し、特性曲線C12は、キャリア濃度の評価結果（CVプロファイル）を示す。

【0059】図1～図4に示すように、アンドープ半絶縁性基板とGaAsバッファ層との界面におけるSi濃度は、実施例1（図1）の場合が最も小さく、実施例2（図2）の場合が次に小さく、実施例3（図3）の場合と実施例4（図4）の場合がその次に小さい。このことから、AsH₃ガスの供給量が多いほど、SiまたはSi化合物の除去量が多いことがわかる。

【0060】また、実施例2（図2）と実施例3（図3）との比較より、SiやSi化合物の除去に、処理温度がほとんど効果を発揮せず、主に、AsH₃ガスの供給量が効果を発揮することがわかる。

【0061】以上から、SiまたはSi化合物を除去するには、AsH₃ガスの供給量を必要十分に多くすればよいことがわかる。

【0062】また、図1～図4から、Si濃度とキャリア濃度との間には、相関関係があることがわかる。すなわち、Si濃度が大きい場合は、キャリア濃度が大きくなり、Si濃度が小さい場合は、キャリア濃度も小さくなる。

【0063】これにより、アンドープ半絶縁性基板とGaAsバッファ層との界面におけるキャリア濃度は、実施例1（図1）の場合が最も小さく、実施例2（図2）の場合が次に小さく、実施例3（図3）の場合と実施例4（図4）の場合がその次に小さい。

【0064】以上から、界面のキャリア濃度を小さくするには、AsH₃の供給量を必要十分に多くすればよいことがわかる。

【0065】(6) 比較例1

本比較例1は、Siがドナーとして作用することによるキャリアの蓄積を防止するための表面処理方法と、自然酸化膜および有機不純物を除去するための表面処理方法とを除いて、実施例1～4と同じである。

【0066】すなわち、本比較例1では、Siがドナーとして作用することによるキャリアの蓄積を防止するための表面処理方法として、従来の第3の方法（UVオゾン処理法）を用いた。また、自然酸化膜および有機不純物を除去するための表面処理方法として、自然酸化膜等の除去用のサーマルクリーニング法を用いた。すなわち、AsH₃の供給量として、SiまたはSi化合物を除去可能な供給量ではなく、自然酸化膜等を除去可能な供給量を用いたサーマルクリーニング法を用いた。

【0067】この場合、処理条件としては、例えば、次の条件Eを用いた。すなわち、AsH₃ガスの流量が条件Aの20分の1で、処理温度が条件Aより50°C低く、処理時間が条件Aの12分の1という条件を用いた。

条件E：AsH₃ガスの流量…50sccm
処理温度…800°C
処理時間…5分

【0068】(7) 比較例1と実施例1～4との比較
比較例1におけるSi濃度と、酸素濃度と、キャリア濃度と、GaAsバッファ層の表面モフォロジーを分析、評価、測定した。ここで、Si濃度と酸素濃度とはSIMSで分析し、キャリア濃度はCV法で評価し、表面モフォロジーはレーザ散乱を利用して測定した。

【0069】図5は、比較例1におけるSi濃度と酸素濃度の分析結果と、キャリア濃度の評価結果を示す特性図である。図において、特性曲線C21は、Si濃度の分析結果を示し、特性曲線C22は、酸素濃度の分析結果を示し、特性曲線C23は、キャリア濃度の評価結果を示す。

【0070】図5に示すように、比較例1では、アンドープ半絶縁性基板とGaAsバッファ層との界面に、SiまたはSi化合物が多く残留している。しかしながら、この場合は、同時に、酸素も多く残留している。これにより、Siは酸化され、不活性化される。その結果、界面にキャリアの蓄積は見られない。

【0071】しかしながら、この比較例1では、Siがドナーとして作用することによるキャリアの蓄積を防止する方法として、UVオゾン処理法が用いられている。これにより、GaAsバッファ層の表面にヘイズが多くなる。その結果、GaAsバッファ層の表面モフォロジーが悪化する。これに対し、上述した本発明の実施例1～4では、ヘイズが多くなることはない。以下、これを比較例2～5を参照しながら説明する。

【0072】(8) 比較例2～5
本比較例2～5は、サーマルクリーニング処理の処理条件を除いて、比較例1と同じである。すなわち、本比較例2～4では、サーマルクリーニング処理の処理条件として、比較例1の条件Eではなく、それぞれ実施例1～4と同じ条件A, B, C, Dを用いた。これは、UVオゾン処理によってヘイズが発生する状態を実施例1～4

と比較し易くするためである。

【0073】(9) 比較例2～5と実施例1～4の比較
図6は、実施例1～4と比較例2～5におけるヘイズ（PPM）の測定結果を示す図である。なお、このヘイズの測定には、テンコール社のSurfscan6200を使用した。

【0074】図示のごとく、実施例1～4では、n-GaAs層の表面におけるヘイズの量が少ない。これにより、この実施例1～4では、n-GaAs層の表面モフォロジーが悪化することはない。これに対し、比較例2～5では、それぞれ実施例1～4と比べ、n-GaAs層の表面におけるヘイズの量が最低でも100倍以上多くなる。これにより、この比較例2～5では、n-GaAs層の表面モフォロジーが悪化する。

【0075】以上から、UVオゾン処理法を用いることによって、ヘイズの量が多くなり、表面モフォロジーが悪化することがわかる。

【0076】なお、比較例2, 3と比較例4, 5との比較から明らかなように、キャリアの蓄積防止用の表面処理方法としてUVオゾン処理法を用いる場合であっても、自然酸化膜等を除去する場合、AsH₃の供給量を従来より多くするようにすれば、ヘイズの量を少なくすることができる。

【0077】

【発明の効果】以上詳述したように請求項1, 2または3記載の表面処理方法によれば、基板の表面または下地膜の表面に存在するSiまたはSi化合物を除去する場合、クリーニング用のガスとしてAsの水素化物ガスを用いたサーマルクリーニング処理によって除去される。これにより、半導体製造装置の構成の複雑化等を招くことなく、Siがドナーとして作用することによるキャリアの蓄積を防止することができる。

【0078】また、請求項2記載の表面処理方法によれば、請求項1記載の方法において、Asの水素化物ガスの供給量が、SiまたはSi化合物を完全に除去可能な供給量に設定されている。これにより、Siがドナーとして作用することによるキャリアの蓄積を完全に防止することができる。

【0079】さらに、請求項4記載の半導体装置によれば、基板の表面または下地膜の表面に存在するSiまたはSi化合物が、請求項1, 2または3記載の表面処理方法によって除去される。これにより、Siがドナーとして作用することによるキャリアの蓄積もなく、かつ、半導体製造装置の構成の複雑化等もない半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1におけるSi濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図2】本発明の実施例2におけるSi濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図3】本発明の実施例3におけるSi濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

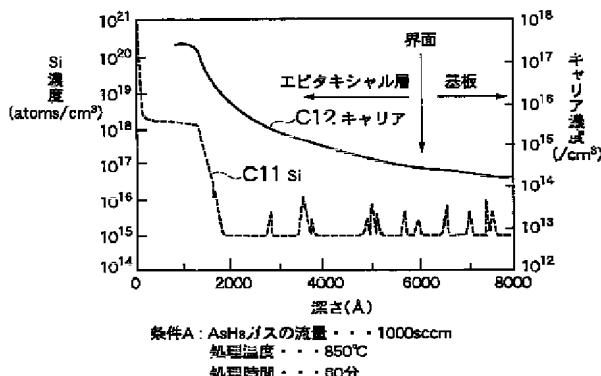
【図4】本発明の実施例4におけるSi濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図5】本発明の実施例1～4と比較される比較例1に

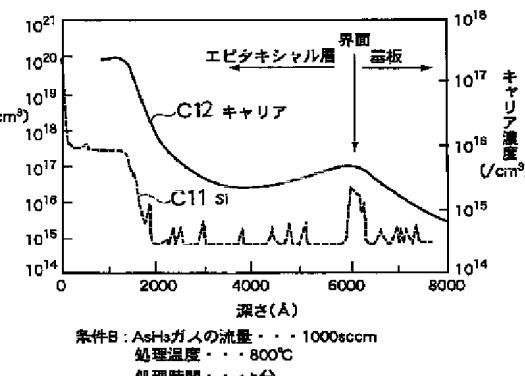
おけるSi濃度および酸素濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図6】本発明の実施例1～4とこれらと比較される比較例2～5におけるヘイズの測定結果を示す図である。

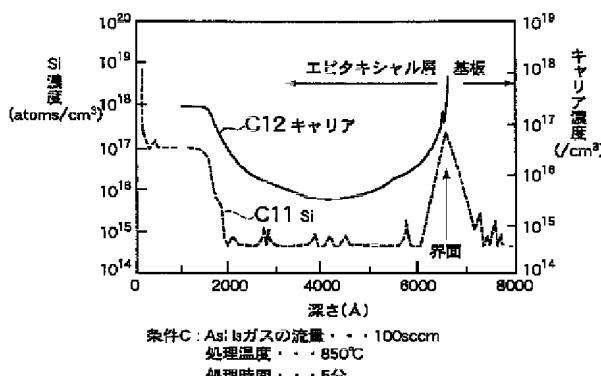
【図1】



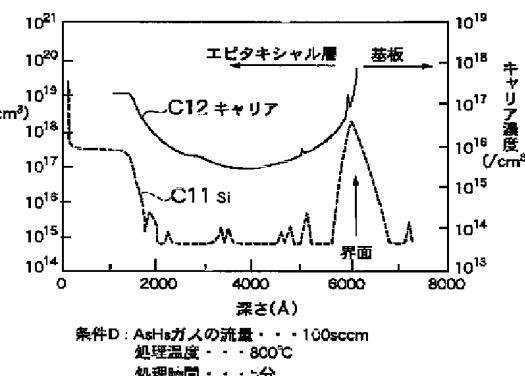
【図2】



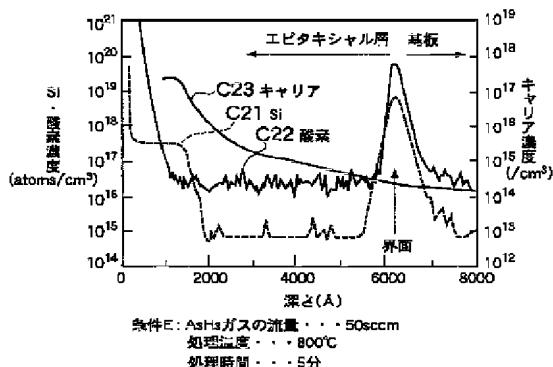
【図3】



【図4】



【図5】



	比較例のSi層表面処理	サーマルシリニング条件	ヘイズ(PPM)
実施例1		条件 A	1.03
比較例2	UVオゾン	条件 A	137.00
実施例2		条件 B	1.10
比較例3	UVオゾン	条件 B	113.00
実施例3		条件 C	0.45
比較例4	UVオゾン	条件 C	537.00
実施例4		条件 D	3.99
比較例5	UVオゾン	条件 D	545.00

フロントページの続き

(72)発明者 池田 弘幸 F ターム(参考) 5F004 AA14 BA19 BD04 CA01 CA04
東京都千代田区丸の内1丁目8番2号 同 DA00 DB01
和鉱業株式会社内 5F045 AA04 AB10 AB17 AB18 AC01
AC08 AF04 CA06 CA07 DA53
EB15 EE12